

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月15日

出 願 番 号

Application Number:

特願2001-006657

出 願 人

Applicant(s):

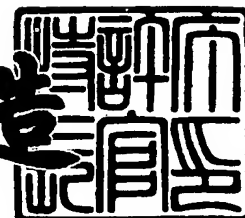
ソニー株式会社



2001年11月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3104839

【書類名】 特許願

【整理番号】 0000755802

【提出日】 平成13年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

    【氏名】 馬淵 圭司

【発明者】

    【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内

    【氏名】 上野 貴久

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100080883

    【弁理士】

    【氏名又は名称】 松隈 秀盛

    【電話番号】 03-3343-5821

【手数料の表示】

    【予納台帳番号】 012645

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707386

【書類名】 明細書

【発明の名称】 固体撮像装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 フォトダイオードと、検出部と、前記フォトダイオードに蓄積された電荷を前記検出部に転送する転送トランジスタとを備えた画素を有し、

前記フォトダイオードに電荷を蓄積するときの前記転送トランジスタのゲート電圧が負電圧とされる

ことを特徴とする固体撮像装置。

【請求項 2】 前記負電圧は、前記転送トランジスタのゲート下のチャネル部が反転される電圧とされる

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記負電圧は、 $-0.5\text{ V}$  以下である

ことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】 フォトダイオードと、検出部と、前記フォトダイオードに蓄積された電荷を前記検出部に転送する転送トランジスタとを備えた画素を有し、

前記フォトダイオードに電荷を蓄積するときの前記転送トランジスタのゲート電圧が正電圧とされる

ことを特徴とする固体撮像装置。

【請求項 5】 前記正電圧は、前記転送トランジスタのゲート下のチャネル部が反転される電圧とされる

ことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】 前記正電圧は、電源電圧以上である

ことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 7】 前記画素のうち、前記フォトダイオードの直下から半導体基板に至る領域が、半導体ウェル領域の濃度より薄い  $n$  型、又は  $p$  型半導体領域で形成されて成る

ことを特徴とする請求項 1 又は 4 記載の固体撮像装置。

【請求項 8】 前記画素のうち、前記フォトダイオードと前記検出部の間の領域が、半導体ウェル領域の濃度より薄い  $n$  型、又は  $p$  型半導体領域で形成されて成る

る

ことを特徴とする請求項1又は4記載の固体撮像装置。

【請求項9】 前記画素のうち、前記フォトダイオードの直下及び前記フォトダイオードと前記検出部の間の領域から半導体基板に至る領域が、半導体ウェル領域の濃度より薄いn型、又はp型半導体領域で形成されて成る

ことを特徴とする請求項1又は4記載の固体撮像装置。

【請求項10】 フォトダイオードと、検出部と、前記フォトダイオードに蓄積された電荷を前記検出部に転送する転送トランジスタとを備えた画素を有し、

前記フォトダイオードで溢れた電荷を排出するためのオーバーフローパスが、前記転送トランジスタのチャネル部以外のバルク内に形成されて成る

ことを特徴とする固体撮像装置。

【請求項11】 前記オーバーフローパスが前記フォトダイオードの真下から半導体基板に至る領域に形成され、該領域が半導体ウェル領域の濃度より薄いn型、又はp型半導体領域で形成されて成る

ことを特徴とする請求項10記載の固体撮像装置。

【請求項12】 前記オーバーフローパスが前記フォトダイオードと前記検出部の間の領域に形成され、該領域が半導体ウェル領域の濃度より薄いn型、又はp型半導体領域で形成されて成る

ことを特徴とする請求項10記載の固体撮像装置。

【請求項13】 前記オーバーフローパスが、前記フォトダイオードの真下及び前記フォトダイオードと前記検出部の間の領域から半導体基板に至る領域に形成され、該領域が半導体ウェル領域の濃度より薄いn型、又はp型半導体領域で形成されて成る

ことを特徴とする請求項10記載の固体撮像装置。

【請求項14】 フォトダイオードと、検出部と、前記フォトダイオードに蓄積された電荷を前記検出部に転送する転送トランジスタとを備えた画素を有する固体撮像装置の駆動方法であって、

前記フォトダイオードに電荷を蓄積するときの前記転送トランジスタのゲート電圧を負電圧とする

ことを特徴とする固体撮像装置の駆動方法。

【請求項 1 5】 前記負電圧が、前記転送トランジスタのゲート下のチャネル部が反転される電圧とする

ことを特徴とする請求項 1 4 記載の固体撮像装置の駆動方法。

【請求項 1 6】 前記負電圧が、 $-0.5\text{ V}$ 以下とする

ことを特徴とする請求項 1 4 記載の固体撮像装置の駆動方法。

【請求項 1 7】 前記フォトダイオードから溢れ出た電荷を基板側に捨てる

ことを特徴とする請求項 1 4 記載の固体撮像装置の駆動方法。

【請求項 1 8】 前記フォトダイオードから溢れ出た電荷を転送トランジスタのチャネル部の下側を通して検出部側へ流す

ことを特徴とする請求項 1 4 記載の固体撮像装置の駆動方法。

【請求項 1 9】 前記フォトダイオードから溢れ出た電荷を、基板側と、転送トランジスタのチャネル部下側を通して検出部側との双方へ流す

ことを特徴とする請求項 1 4 記載の固体撮像装置の駆動方法。

【請求項 2 0】 フォトダイオードと、検出部と、前記フォトダイオードに蓄積された電荷を前記検出部に転送する転送トランジスタとを備えた画素を有する固体撮像装置の駆動方法であって、

前記フォトダイオードに電荷を蓄積するときの前記転送トランジスタのゲート電圧を正電圧とする

ことを特徴とする固体撮像装置の駆動方法。

【請求項 2 1】 前記正電圧が、前記転送トランジスタのゲート下のチャネル部が反転される電圧とする

ことを特徴とする請求項 2 0 記載の固体撮像装置の駆動方法。

【請求項 2 2】 前記正電圧が、電源電圧以上とする

ことを特徴とする請求項 2 0 記載の固体撮像装置の駆動方法。

【請求項 2 3】 前記フォトダイオードから溢れ出た電荷を基板側に捨てる

ことを特徴とする請求項 2 0 記載の固体撮像装置の駆動方法。

【請求項 2 4】 前記フォトダイオードから溢れ出た電荷を転送トランジスタのチャネル部の下側を通して検出部側へ流す

ことを特徴とする請求項20記載の固体撮像装置の駆動方法。

【請求項25】 前記フォトダイオードから溢れ出た電荷を、基板側と、転送トランジスタのチャネル部下側を通して検出部側との双方へ流す

ことを特徴とする請求項20記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、固体撮像装置、特にMOS型固体撮像装置及びその駆動方法に関する。

【0002】

【従来の技術】

固体撮像装置として、MOS型固体撮像装置が知られている。また、MOS型固体撮像装置のうち、画素を構成するフォトダイオードの信号電荷を転送トランジスタを用いた検出部に転送してから読み出す方式の固体撮像装置が知られている。この方式のMOS型固体撮像装置は、CCD型固体撮像装置と異なり、CMOSロジック回路を同一チップに搭載しており、画素もロジック回路と同じ低電圧の1電源で動作するように構成されている。このことから、例えば転送トランジスタがnチャネルMOSトランジスタの場合、画素中の転送トランジスタのゲート電圧は、0Vと電源電圧V<sub>dd</sub>の2値であった。

【0003】

一方、画素のフォトダイオードには、電荷蓄積期間において、入射光量に応じた信号電荷と、光が入射しない場合でもフォトダイオードに流入する暗電流成分（暗電子）の2者が蓄積される。暗電子は読出し時に信号電荷と分離できず、そのばらつきが雑音となる。特に、画素毎の暗電流のばらつきが固定パターン雑音となり、画像が擦りガラスを通して撮影したようになる。また、暗電流の時間的なばらつきがランダム雑音となる。このことから、MOS型固体撮像装置では、暗電流を如何に低減するかが、主要な課題となっている。

【0004】

暗電流低減のための従来技術としては、埋め込みフォトダイオードがある。暗

電流の最大の発生源は、フォトダイオードの上側の、 $\text{Si}$ と $\text{SiO}_2$ の界面であり、ここが空乏化するとフォトダイオードに暗電流が流れ込む。従って、フォトダイオードを構成しているn型半導体領域上の酸化膜界面をp型領域によって中性化し、暗電流の発生を抑えるようにしている。

## 【0005】

図11は、従来の埋め込みフォトダイオードを有する画素の一部、即ち、埋め込みフォトダイオードと転送トランジスタの断面構造を示す。

図11の画素70、即ちその要部は、n型又はp型の半導体基板71上にp型の半導体ウェル領域72が形成され、p型半導体ウェル領域72の選択酸化（LOCOS）による素子分離層（ $\text{SiO}_2$ 層）73で区分された画素領域に、フォトダイオードPDと転送トランジスタ $Q_T$ が形成されて成る。フォトダイオードPDは、p型半導体ウェル領域72内に電荷蓄積領域となるn型半導体領域74を形成し、さらにn型半導体領域74の上面にこれと反対導電型のp型半導体領域75を形成して、いわゆる埋め込みフォトダイオードとして構成される。転送トランジスタ $Q_T$ は、フォトダイオードPDのn型半導体領域74を一方のソース・ドレイン領域とし、この領域74とp型半導体ウェル領域72に形成した他方のn型ソース・ドレイン領域76との間にゲート絶縁膜（例えば $\text{SiO}_2$ 膜）77を介して転送ゲート電極78を形成して構成される。この転送トランジスタ $Q$ の他方のn型半導体領域76が検出部として構成される。

## 【0006】

この構成においては、フォトダイオードPDを構成するn型半導体領域74上側の酸化膜79との界面にp型半導体領域75が形成されているので、界面の空乏化が阻止され、界面から発生する暗電流が抑制される。これが埋め込みフォトダイオードである。

## 【0007】

## 【発明が解決しようとする課題】

ところで、MOS型固体撮像装置では、低電圧動作が要求される。例えばCCD型固体撮像装置の電源電圧1.2V等に対して、MOS型固体撮像装置は、電源電圧3V以下などの低電圧が要求される。この場合、低電圧でフォトダイオード



の信号を転送できる範囲でしか信号が読み出せないので、飽和信号量を十分確保するのが難しい。このためダイナミックレンジが小さく、階調がとれないという問題があった。

#### 【0008】

一方、埋め込みフォトダイオードにより、フォトダイオードの酸化膜界面からの暗電流を抑制しているが、しかしながら、残る暗電流成分によっても、低照度では固定パターン雑音やランダム雑音が見られる。このため、高S/N、且つ高感度なMOS型固体撮像装置を提供するために、さらなる改善が望まれていた。

#### 【0009】

また、MOS型固体撮像装置においては、フォトダイオードPDに飽和以上の光量が入射したとき、光電変換された信号電荷、即ちこの例では光電子がフォトダイオードPDから溢れだす。この光電子がp型半導体ウェル領域72中を拡散して広がり、周囲の画素のフォトダイオードPDに侵入して偽信号となる現象をブルーミングと言う。ブルーミング防止のためには、溢れた光電子の流出経路（いわゆるオーバーフローパス）を予め設定して置き、光電子がp型半導体ウェル領域72中に拡散することを防ぐようにする。

従来は、オーバーフローパスを転送トランジスタ $Q_T$ のチャネル部に設定し、フォトダイオードPDで溢れた光電子を転送トランジスタ $Q_T$ のチャネル部を通して検出部（n型ソース・ドレイン領域76）側へ流出させていた。なお、この溢れた光電子は検出部より図示せざるもりセットトランジスタ側へ流出される。

#### 【0010】

しかし、この構成では、転送トランジスタ $Q_T$ のチャネル部の電位を低くしていくと、即ち、例えば転送ゲート電極78に0Vを与えたときにチャネル部の電位は0.5～0.6V程度になり、このチャネル部の電位を0V側に低くしていくと、オーバーフローパスを通すことのできる電荷量が小さくなる。

MOS型固体撮像装置では、飽和信号量を増やしてダイナミックレンジを大きく取るために、転送ゲートに印加するゲート電圧の振幅を大きく取りたい、即ち、電荷蓄積期間での転送トランジスタのチャネル部の電位を低くしたいという要請があった。しかし、従来のMOS型固体撮像装置では、飽和信号量を増やして

ダイナミックレンジを大きくすることと、上述のオーバーフローパスの能力を確保することが両立しないという問題があった。

【0011】

上述では、信号電荷を電子として転送トランジスタにnチャネルMOSトランジスタを用いた場合を説明したが、信号電荷をホールとして転送トランジスタに反対導電型のpチャネルMOSトランジスタを用いた場合にも同様の課題が生じる。

【0012】

本発明は、上述の点に鑑み、暗電流の更なる低減を可能にした固体撮像装置及びその駆動方法を提供するものである。

本発明は、併せて、オーバーフローパスの機能を確保しブルーミングをより確実に抑制できるようにした固体撮像装置及びその駆動方法を提供するものである。

【0013】

【課題を解決するための手段】

本発明は、フォトダイオードと、検出部と、フォトダイオードに蓄積された電荷を検出部に転送する転送トランジスタとを備えた固体撮像装置及びその駆動方法であって、フォトダイオードに電荷として電子、又はホールを蓄積するときの転送トランジスタのゲート電圧を負電圧、又は正電圧にする。

本発明は、フォトダイオードから溢れた電荷を転送トランジスタのチャネル部以外のバルク内を通して流すようにする。

フォトダイオードから溢れた電荷を流す領域は、半導体ウェル領域の濃度より薄い濃度の領域で形成される。

【0014】

本発明では、フォトダイオードに電荷として電子、又はホールを蓄積するときの転送トランジスタのゲート電圧を負電圧、又は正電圧とすることにより、転送トランジスタのチャネル部は反転し、チャネル部とゲート絶縁膜との界面からの暗電流成分の発生が抑制される。

フォトダイオードから溢れた電荷を転送トランジスタのチャネル部以外のバル

ク内を通して流すことにより、いわゆるオーバーフローパス面積が大きくなり、オーバーフローパスとしての機能が上がる。

【0015】

【発明の実施の形態】

フォトダイオード上面と絶縁膜との界面から発生する暗電流以外の、残る暗電流成分の発生源については種々の説がある。例えば、フォトダイオード上部の酸化膜界面からの暗電流が十分抑えられていないとする説、素子分離層であるLOCOS（選択酸化）絶縁層の端部に欠陥が有って暗電流の発生源になっているとする説、p型半導体ウェル領域、又はp型半導体基板のマイノリティーキャリアが拡散によって流入するという説、フォトダイオードとp型半導体ウェル領域との間の空乏層での熱的発生によるとする説、等である。

【0016】

これに対し、本発明者らは残る暗電流成分を慎重に解析した結果、次の点を明らかにした。

(1) 埋め込みフォトダイオードに対しては転送ゲート下の絶縁膜（例えばゲート酸化膜）界面からの暗電流が支配的である。図10（図11と同様の構成である）の矢印a、bで示すように、界面の欠陥81により転送ゲート下の絶縁膜界面で発生した暗電流は、フォトダイオードPDのn型半導体領域74と、検出部となるn型ソース・ドレイン領域76に分かれて流入する。

(2) 転送ゲート下の絶縁膜界面は、3.3V以下の低電圧でフォトダイオードの信号電荷を転送できる程度に薄くp型層を形成しても、暗電流低減の効果は小さい。

(3) 蓄積期間中、転送ゲートを負電圧とし、転送ゲート下の酸化膜界面に正孔のチャンネルを形成することによって、残存暗電流の殆どを低減することができる。これによって、S/Nが劇的に向上し、画質を飛躍的に向上することができる。

【0017】

上記(3)の構成とすることで、フォトダイオードの飽和電荷量が増えるので、ダイナミックレンジを上げ、画の階調を増加させることができる。理由は、転送

ゲートに印加するゲート電圧の低レベルを負電位とし、高レベルは変化させなければ、その分転送ゲートの振幅が増加するからである。この飽和電荷量が増える効果は、転送ゲートを負電位とすることで得られるのであり、その負電位が正孔のチャンネルを発生させるレベルである必要はない。

## 【0018】

一方、フォトダイオードで溢れた電荷を排出するためのオーバーフローパスとしては、転送トランジスタのチャンネル部以外のバルク内に形成するのが好ましい。即ち、フォトダイオードの周囲の所定方向の領域には、半導体ウェル領域を形成せず、代わりに半導体ウェル領域の不純物濃度より薄い不純物濃度の $n$ 型、又は $p$ 型半導体領域を形成し、この不純物濃度の薄い $n^-$ 、又は $p^-$ 半導体領域をオーバーフローパスとして、例えば基板側へ、或いは検出部側へ、或いは両者へ溢れた電荷を排出するようにする。

## 【0019】

この構成により、オーバーフローパスが狭いチャンネル部ではなく、断面積の広いバルク部分に設定することができる。オーバーフローパスを広く設定できるので、ブルーミング抑止能力が大きいこと、そのためオーバーフローパスの電位を低めに設定でき、フォトダイオードの飽和信号量を増やし、ダイナミックレンジを大きくすることができる。特に、転送ゲートに負電位を印加するときは、従来例の場合にチャンネル部のオーバーフローパスとしての機能が大幅に低下するので、本発明構造が効果的である。

## 【0020】

以下、図面を参照して本発明の実施の形態を説明する。

## 【0021】

図1は、本発明の固体撮像装置、即ちMOS型固体撮像装置の一実施の形態を示す。

本実施の形態に係るMOS型固体撮像装置1は、複数の画素2〔2<sub>11</sub>、2<sub>12</sub>、2<sub>21</sub>、2<sub>22</sub>〕が行列状に配列されたセンサ部3と、センサ部3を駆動する垂直走査回路4及び水平走査回路5と、センサ部3の一行分の画素2の信号を受けるCDS（相関二重サンプリング）／信号保持回路6〔6<sub>1</sub>、6<sub>2</sub>・・・〕と、出力ア

ンプ7を有して成る。

本例では、画素2を便宜的に2個×2個で描いているが、実際には多数配列されている。

#### 【0022】

各画素2の構成は、光電変換を行うフォトダイオードPD [ $PD_{11}$ 、 $PD_{12}$ 、 $PD_{21}$ 、 $PD_{22}$ ] と、フォトダイオードPDの信号電荷を検出部N [ $N_{11}$ 、 $N_{12}$ 、 $N_{21}$ 、 $N_{22}$ ] に転送する転送トランジスタ(MOSトランジスタ)  $Q_T$  [ $Q_{T11}$ 、 $Q_{T12}$ 、 $Q_{T21}$ 、 $Q_{T22}$ ] と、検出部Nの電位を垂直信号線8に出力する増幅トランジスタ(MOSトランジスタ)  $Q_A$  [ $Q_{A11}$ 、 $Q_{A12}$ 、 $Q_{A21}$ 、 $Q_{A22}$ ] と、画素2の行を選択するアドレストランジスタ(MOSトランジスタ)  $Q_D$  [ $Q_{D11}$ 、 $Q_{D12}$ 、 $Q_{D21}$ 、 $Q_{D22}$ ] と、検出部Nの電位をリセットするリセットトランジスタ(MOSトランジスタ)  $Q_R$  [ $Q_{R11}$ 、 $Q_{R12}$ 、 $Q_{R21}$ 、 $Q_{R22}$ ] とからなる。

#### 【0023】

フォトダイオードPDは、そのカソードが転送トランジスタ $Q_T$  の一方の主電極に接続され、そのアノードが接地される。転送トランジスタ $Q_T$  の他方の主電極は、増幅トランジスタ $Q_A$  のゲート電極に接続されると共に、リセットトランジスタ $Q_R$  の一方の主電極に接続される。転送トランジスタ $Q_T$  のゲート電極は垂直走査回路4からの垂直読出し線11に接続される。

増幅トランジスタ $Q_A$  は、その一方の主電極が電源電圧Vddに接続され、他方の主電極がアドレストランジスタ $Q_D$  を介して垂直信号線8に接続される。アドレストランジスタ $Q_D$  のゲート電極は垂直走査回路4からの垂直選択線12に接続される。

リセットトランジスタ $Q_R$  は、その他方の主電極が電源電圧Vddに接続され、そのゲート電極が垂直走査回路4からのリセット線13に接続される。

#### 【0024】

15は垂直選択線12に接続されたバッファ回路、16はリセット線13に接続されたバッファ回路を示す。

これらバッファ回路15、16は、例えば図3に示すように、pチャネルMO

Sトランジスタ23とnチャネルMOSトランジスタ24で形成される、いわゆるCMOSトランジスタによるインバータ回路により構成される。pチャネルMOSトランジスタ23のドレイン側は電源電圧 $V_{dd}$ に接続され、nチャネルトランジスタ24のソース側はグランド(GND)に接続される。また、このインバータ回路の入力側が垂直走査回路4に接続され、出力側が垂直選択線12、又はリセット線13に接続される。

本例では理解を容易にするために、バッファ回路15、16を夫々1段のインバータ回路で構成したが、複数段のインバータ回路で構成することができる。

#### 【0025】

このバッファ回路15、16では、垂直走査回路4側よりパルスの低レベルが入力されたとき、pチャネルMOSトランジスタ23がオンして出力側の垂直選択線12、又はリセット線13に電源電圧 $V_{dd}$ が出力され、パルスの高レベルが入力されたとき、nチャネルMOSトランジスタ24がオンして出力側の垂直選択線12、又はリセット線13に負電圧が出力される。

#### 【0026】

各垂直信号線8は、その一端に定電流源の役目をなす負荷トランジスタ(MOSトランジスタ) $Q_L$ が接続され、他端にスイッチ素子(MOSトランジスタ) $Q_S$ を介してCDS/信号保持回路6が接続される。因みに、CDS/信号保持回路6は、時系列で入力される2つの電圧信号の差分を出力する回路である。

なお、負荷トランジスタ $Q_L$ のゲートには動作パルス $\phi_L$ が印加され、スイッチ素子 $Q_S$ には動作パルス $\phi_{SH}$ が印加される。

#### 【0027】

CDS/信号保持回路6の出力端は水平スイッチ素子(MOSトランジスタ) $Q_H$ を介して水平信号線9に接続される。水平スイッチ素子 $Q_H$ は、そのゲートに印加される水平走査回路5からの水平走査パルス $\phi_H$  [ $\phi_{H1}$ 、 $\phi_{H2}$ 、...]により制御される。

#### 【0028】

更に、本実施の形態では、電荷蓄積期間中に転送トランジスタ $Q_T$ のゲート電極に負電圧を印加する手段、本例では負電圧生成回路21が設けられる。負電圧

生成回路 21 は、公知の昇圧回路、いわゆる電源電圧から見て、グランド (GND) 電圧を負側に昇圧する回路を用いることができる。負電圧生成回路 21 の出力は、垂直走査回路 4 に接続されたバッファ回路 31 に入力される。

#### 【0029】

バッファ回路 31 は、例えば図 4 に示すように、p チャネル MOS トランジスタ 33 と n チャネル MOS トランジスタ 34 で形成される、いわゆる CMOS トランジスタによるインバータ回路により構成される。そして、p チャネル MOS トランジスタ 33 のドレイン側に電源電圧  $V_{dd}$  が接続され、n チャネルトランジスタ 34 のソース側に負電圧生成回路 21 が接続される。また、このインバータ回路の入力端が垂直走査回路 4 に接続され、出力端が垂直読出し線 11 に接続される。

本例では理解を容易にするために、バッファ回路 31 を 1 段のインバータ回路で構成したが、複数段のインバータ回路で構成することができる。

#### 【0030】

バッファ回路 31 は、図 1 で示すように、半導体ウェル領域 36 によって分離されて形成される。より詳しくは、図 4 に示すように、p チャネル MOS トランジスタ 33 は n 型半導体ウェル領域 37 内形成され、n チャネル MOS トランジスタ 34 は p 型半導体ウェル領域 38 内に形成される。従って、負電圧生成回路 21 の出力は、バッファ回路 31 の p 型半導体ウェル領域 38 と、この p 型半導体ウェル領域 38 内の n 型チャネル MOS トランジスタ 34 のソース領域に入る。n チャネル MOS トランジスタ 34 のしきい値は、高く設定される。

#### 【0031】

このバッファ回路、従ってインバータ回路 31 では、垂直走査回路 4 側よりパルスの低レベルが入力されたとき、p チャネル MOS トランジスタ 33 がオンして出力側の垂直読出し線 11 に電源電圧  $V_{dd}$  が出力され、パルスの高レベルが入力されたとき、n チャネル MOS トランジスタ 34 がオンして出力側の垂直読出し線 11 に負電圧が出力される。

#### 【0032】

次に、上述した MOS 型固体撮像装置 1 の動作を図 2 の動作タイミングを用い

て説明する。ここでは、電源電圧  $V_{dd}$  を例えば 3.0 V とし、負電圧生成回路 21 の出力を例えば -1.1 V とする。また、図 1 の左下の画素 2<sub>11</sub> に着目する。

まず、画素 2<sub>11</sub> を含む 1 行目の画素の非選択時（いわゆる電荷蓄積期間中）は、負荷 MOS トランジスタ  $Q_L$  [ $Q_{L1}$ 、 $Q_{L2}$ ] のゲートに印加される動作パルス  $\phi_L$ 、垂直読出し線 11 に供給される読出しパルス  $\phi_{T1}$ 、垂直信号線 12 に供給される選択パルス  $\phi_{A1}$ 、リセット線 13<sub>1</sub> に供給されるリセットパルス  $\phi_{R1}$  共に低レベルである。ここで、読出しパルス  $\phi_{T1}$  のみ、負電圧生成回路 21 の出力を受けて低レベルが負電位、例えば -1.1 V になる。他の  $\phi_L$ 、 $\phi_{A1}$ 、 $\phi_{R1}$  は 0 V となる。

検出部  $N_{11}$  の電位は電源電圧 3.0 V よりもやや低い値となり、垂直信号線 8<sub>1</sub> の電位  $V_{sig1}$  は 0 V となる。これによって、転送トランジスタ  $Q_{T11}$ 、アドレストランジスタ  $Q_{D11}$ 、リセットトランジスタ  $Q_{R11}$  が共にオフ状態となり、フォトダイオード  $PD_{11}$  に信号電荷が蓄積される。本例では、いわゆる光電子蓄積が行われる。

#### 【0033】

次に、動作パルス  $\phi_L$  と選択パルス  $\phi_{A1}$  を高レベルにして、負荷 MOS トランジスタ  $Q_L$  と、1 行目のアドレストランジスタ  $Q_D$  をオン状態にする。このときに、負荷 MOS トランジスタ  $Q_L$ （着目画素 2<sub>11</sub> では負荷トランジスタ  $Q_{L1}$ ）と 1 行目の増幅トランジスタ  $Q_A$ （着目画素 2<sub>11</sub> では増幅トランジスタ  $Q_{A11}$ ）がソースフォロア回路を組むので、垂直信号線 8<sub>1</sub> には検出部  $N_{11}$  の電位に対応する電圧が現れる。

#### 【0034】

次に、リセットトランジスタ  $Q_R$  のゲートにリセットパルス  $\phi_{R1}$ （高レベル）を印加する。このときに、検出部  $N_{11}$  に蓄積されていた暗電荷（本例では暗電子）が掃き捨てられ、検出部  $N_{11}$  が電源電圧  $V_{dd}$  にリセットされ、垂直信号線 8<sub>1</sub> の電位も対応する値になる。

#### 【0035】

次に、垂直信号線 8<sub>1</sub> の電位をリセットレベルとして、CDS/信号保持回路



$6_1$  に入力する。

次に、垂直読出し線  $11_1$  を通じて 1 行目の転送トランジスタ  $Q_T$  に読出しパルス（高レベル）を印加する。このときに、1 行目の転送トランジスタ  $Q_T$  がオン状態になり、フォトダイオード  $PD_{11}$  の信号電荷と暗電荷が転送トランジスタ  $Q_{T11}$  を通じて検出部  $N_{11}$  に転送される。これに伴い、検出部  $N_{11}$  の電位が対応して下がる。負荷 MOS トランジスタ  $Q_{L1}$  と増幅トランジスタ  $Q_{A11}$  とによるソースフォロア回路によって、垂直信号線  $8_1$  の電位も信号電荷と暗電荷の合計の電荷分だけ変化する。

【0036】

この垂直信号線  $8_1$  の電位を信号レベルとして、スイッチ素子  $Q_{S1}$  を通じて CDS/信号保持回路  $6_1$  に入力し、先のリセットレベルとの差分を取り、保持する。

【0037】

次に、リセットトランジスタ  $Q_R$  にリセット線  $13_1$  を通じてリセットパルス  $\phi_{R1}$ （高レベル）を印加し、リセットトランジスタ  $Q_R$ （着目画素  $2_{11}$  ではリセットトランジスタ  $Q_{R11}$ ）をオン状態にする。検出部  $N_{11}$  が電源電圧にリセットされ、垂直信号線  $8_1$  の電位も対応する電位にリセットされる。

選択パルス  $\phi_{A1}$  を低レベル（0V）に戻す。ソースフォロア回路がオフ状態になるので、その行の画素が非選択状態に復帰し、電荷蓄積が開始する。垂直信号線  $8_1$  は 0V に戻る。

【0038】

以後、次の画素の行が選択されるまで、電荷蓄積期間となる。

以上の操作で、着目画素  $2_{11}$  以外の画素を含めた 1 行目の画素が全て同時に駆動され、1 行分の信号（即ち信号レベルとリセットレベルの差の信号）が CDS/信号保持回路 6 [ $6_1$ 、 $6_2$ ] に同時に記憶される。

【0039】

引き続いて、図 2 には記述してないが、水平走査回路 5 を駆動し、水平走査パルス  $\phi_H$  を水平スイッチ素子  $Q_H$  [ $Q_{H1}$ 、 $Q_{H2}$ ] に印加して、CDS/信号保持回路 6 に保持された 1 行分の画素の信号を順番に水平信号線 9 に導いて、出力ア

ンプ7を通して出力端子  $t_{OUT}$  より出力する。

【0040】

同様の動作を次の2行目の画素について行えば、2行目の信号が読み出され、垂直走査回路4を順次駆動することにより、全ての行の画素の信号を読み出すことができる。

【0041】

本実施の形態で重要なことは、電荷蓄積期間に転送トランジスタ  $Q_T$  の転送ゲート電位が負電位になっていることである。この転送ゲート電位が負電位になると、転送ゲート電圧の振幅が増えるので飽和信号量が増加し、ダイナミックレンジが拡大する。

もう一つの重要な点は、転送ゲートの負電位の値が、ゲート下にチャネル（本例では正孔のチャネル）が形成されるレベル（ここでは、 $-1.1\text{ V}$ ）であることである。電荷蓄積期間には光電変換された電荷と同時に暗電流がフォトダイオードPDに流れ込むが、フォトダイオードPDとして酸化膜との界面にフォトダイオードの電荷蓄積領域（例えばn型半導体領域）とは反対導電型の領域（例えば、p型半導体領域）を形成した、いわゆる埋め込みフォトダイオードを用いた場合の主な暗電流の発生源は、前述したように転送ゲート下の酸化膜界面であった。ここに、転送ゲートを負電位として正孔のチャネルを形成することで、転送特性を劣化させることなく、暗電流を防止することができる。

【0042】

図9は、転送トランジスタPDの転送ゲート電極に印加する負電圧に対する画素の暗電流の特性図である。横軸は転送ゲートの負電位〔ゲート電圧の低レベル〕（V）を、縦軸は暗電流成分の相対値を夫々示す。測定は、画素の回路構成は同じで、レイアウトの異なる2種類の画素について測定した。○印と×印は共に第1レイアウト（同じ画素）の2つのサンプル、◆印と■印は共に第2レイアウト（同じ画素）の2つのサンプルを示す。

図9の特性図から、画素のレイアウトの関係なく、電荷蓄積期間に転送ゲートに負電圧を与えることにより、暗電流が低減することが認められる。そして、負電位が $-0.5\text{ V}$ 程度から暗電流の低減が生じ、 $-0.8\text{ V}$ 程度以下で略暗電流

が0になる。本実施の形態では、転送ゲートに与える負電位としては、 $-0.5$  V以下、好ましくは $-0.8$ 以下にすることができる。

#### 【0043】

図5～図8は、夫々本発明に適用される画素、特にそのフォトダイオードPD及び転送トランジスタ $Q_T$ の構成部分の実施の形態を示す。

#### 【0044】

図5に示す実施の形態は、n型又はp型の半導体基板41上に第2導電型、例えばp型の半導体ウェル領域42が形成され、p型半導体ウェル領域42の選択酸化(LOCOS)による素子分離層( $SiO_2$ 層)43で区画された画素領域に、フォトダイオードPDと転送トランジスタ $Q_T$ が形成されて成る。フォトダイオードPDは、p型半導体ウェル領域42に電荷蓄積領域となる第1導電型の例えばn型半導体領域44を形成し、さらにn型半導体領域44の表面にこれと反対導電型にp型半導体領域45を形成し、いわゆる埋め込みフォトダイオードとして構成される。

転送トランジスタ $Q_T$ は、フォトダイオードPDのn型半導体領域44を一方のソース・ドレイン領域とし、この領域44とp型半導体ウェル領域42に形成した他方のソース・ドレイン領域46との間にゲート絶縁膜(例えば $SiO$ 膜)47を介して転送ゲート電極48を形成して構成される。この転送トランジスタ $Q_T$ の他方のn型半導体領域46が検出部Nとして構成される。

この構成においては、フォトダイオードPD上部の絶縁膜(例えば酸化膜)50との界面と、転送ゲート下のゲート絶縁膜界面に結晶欠陥40が生じるが、埋め込みフォトダイオードPDのp型半導体領域45により、フォトダイオードPDの酸化膜界面からの暗電流の発生が防止される。他方、転送ゲート電極48の電位を負電位、例えば $-1.1$  Vにしてゲート電極48下に反転層、すなわち正孔のチャネル部49を形成することにより、転送ゲート下界面からの暗電流の発生が防止される。

#### 【0045】

図6に示す実施の形態は、図5の構成において、半導体基板としてn型、又はp型半導体ウェル領域42よりも不純物濃度が薄い濃度のp型の半導体基板51

を用い、フォトダイオードPDのn型半導体領域44直下に半導体基板51にまで達するようにp型半導体ウェル領域42の不純物濃度より薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域52を形成して構成される。その他の構成は、図5と同様であるので対応する部分に同一符号を付して重複説明を省略する。

#### 【0046】

この構成においては、フォトダイオードPDの酸化膜界面からの暗電流、及び転送ゲート下界面からの暗電流の発生が、図5と同様の構成により防止される。さらに、半導体基板51にn型半導体基板、又はp型半導体ウェル領域42より低濃度のp型半導体基板を用い、フォトダイオードPD直下のみp型半導体ウェル領域42を形成せずに、代わりにp型半導体ウェル領域42より低濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域52を形成して構成されるので、電荷のオーバーフローパスが矢印cに示すようにフォトダイオードPDから半導体基板51へと縦方向に設定できる。

従って、オーバーフローパス面積を広く設定できるので、オーバーフローパス機能が向上し、ブルーミング抑止能力が大きくなる。このため、オーバーフローパス（半導体領域52）の電位を低めに設定できるので、フォトダイオードPDの飽和信号量を増やし、ダイナミックレンジを大きくすることができる。このオーバーフローパス構造は、転送ゲート負電位とは無関係に有用であるが、転送ゲート負電位と併用すれば、チャネル部のオーバーフローパスとしての能力が弱くなっていることを代替えできるので、特に効果が大きくなる。

#### 【0047】

図7に示す実施の形態は、図5の構成において、フォトダイオードPD直下から検出部Nとなる転送トランジスタ $Q_T$ のソース・ドレイン領域46に至る部分に、p型半導体ウェル領域42の不純物濃度より薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域54を形成して構成される。少なくとも、フォトダイオードPDと検出部Nとなるソース・ドレイン領域46間の領域を薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域54で形成する。その他の構成は、図5と同様であるので対応する部分に同一符号を付して重複説明を省略する。

この構成においては、フォトダイオードPDの酸化膜界面からの暗電流、及び

転送ゲート下界面からの暗電流の発生が、図5と同様の構成により防止される。さらに、フォトダイオードPDから検出部Nのソース・ドレイン領域46にかけての部分に、p型半導体ウェル領域42を形成せずに、代わりにp型半導体ウェル領域42の不純物濃度より薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域54を形成し、オーバーフローパスを矢印dに示すようにチャネル部よりも下側を通して検出部Nに向けて設定しているため、図6と同様にオーバーフローパス面積が広くブルーミング抑止能力が大きくなること、オーバーフローパス（半導体領域54）の電位を低めに設定できフォトダイオードPDの飽和信号量を増やし、ダイナミックレンジを大きくすることができる。

## 【0048】

図8の実施の形態は、図6と図7の構成を組み合わせた構成である。即ち、図5において、PDのn型半導体領域44下からチャネル部下及びn型ソース・ドレイン領域の一部にかけての部分の直下に半導体基板51に達するようにp型半導体ウェル領域42の不純物濃度より薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域56を形成して構成される。その他の構成は、図5と同様であるので対応する部分に同一符号を付して重複説明を省略する。

この構成においては、オーバーフローパスが矢印c、dに示すように基板41側と検出部N側に向かうように形成され、前述の図6と同様の効果が得られる。

## 【0049】

図6～図8の薄い濃度の $n^-$ 領域、又は $p^-$ 領域による半導体領域52、54、56は、特に形成するのではなく、基板不純物濃度をそのまま用いることができる。

## 【0050】

上述した本実施の形態に係るMOS型固体撮像装置1によれば、フォトダイオードPDに電荷を蓄積する電荷蓄積期間中に転送トランジスタ $Q_T$ のゲート電極48に負電圧を印加することにより、転送ゲート下で発生する暗電流成分が抑制され、固体撮像装置における暗電流を低減できる。この結果、S/Nが向上し、画質を向上することができる。この暗電流の低減自体もダイナミックレンジの向上に寄与する。ゲート電極48に負電圧を印加することで、ゲート電圧の振幅を

大きくすることが可能になり、フォトダイオードPDの飽和信号量、即ち飽和電子数を多くし、ダイナミックレンジを広げることができる。

$n^-$  領域、又は  $p^-$  領域で構成される半導体領域52、54又は56を形成し、オーバーフローパスを転送トランジスタ $Q_T$ のチャネル部以外のバルク内に形成するので、オーバーフローパス面積が大きく取れ、オーバーフローパスとしての機能が大幅に上がる。したがって、ブルーミングの抑制が良好になる。また、ブルーミングの抑制とダイナミックレンジの拡大とを両立させることができる。

#### 【0051】

上述の図1では、転送ゲートに負電圧を入力する手段として、負電圧生成回路21を内蔵した構成としたが、電圧入力端子を別に導出して固体撮像装置外部から負電圧を入力する構成としても良い。

上例の図1では、画素2をフォトダイオードPDと4つのMOSトランジスタ $Q_T$ 、 $Q_A$ 、 $Q_D$ 、 $Q_L$ で構成したが、少なくともフォトダイオードと転送トランジスタ $Q_T$ を含む構成であれば、その他の構成の画素であっても本発明を適用することができる。

#### 【0052】

上例では、信号電荷を電子としたMOS型固体撮像装置に適用した場合であるが、その他、信号電荷をホールとしたMOS型固体撮像装置にも適用できる。この場合、転送トランジスタは上述とは反対導電型のpチャネルMOSトランジスタが用いられる。従って、フォトダイオードに電荷を蓄積するときには、pチャネルの転送トランジスタのゲート電圧として正電圧、即ち電源電圧以上に昇圧した正電圧を印加するようになる。画素の構成は、前述した図5～図8において、各基板、半導体領域の導電型を反対導電型に置き替えた構成とすることができる。オーバーフローパスも同様にして形成することができる。

#### 【0053】

##### 【発明の効果】

本発明に係る固体撮像装置によれば、フォトダイオードに電荷として電子、又はホールを蓄積するときの転送トランジスタのゲート電圧を負電圧、又は正電圧にするように構成することにより、暗電流を激減することができ、S/Nを向上

し、画質を向上することができる。負電圧、又は正電圧を利用することで、転送ゲートの振幅を大きく取ることができ、フォトダイオードの飽和信号量を大きくし、ダイナミックレンジを拡大することができる。暗電流の低減自体もダイナミックレンジの向上につながる。

#### 【0054】

転送トランジスタのチャネル部以外のバルク内に基板側、或いは検出部側、或いは基板側と検出部側へ通じる領域部を、オーバーフローパスとなるように半導体ウェル領域の濃度より薄いn型、又はp型半導体領域で形成することにより、オーバーフローパス断面積を広く設定でき、オーバーフローパスの機能を上げてブルーミングを十分に抑制することができる。また、ダイナミックレンジの拡大と両立することができる。

#### 【0055】

本発明に係る固体撮像装置の駆動方法によれば、フォトダイオードに電荷として電子、又はホールを蓄積するときの転送トランジスタのゲート電圧を負電圧、又は正電圧とすることにより、暗電流を激減させることができ、固体撮像装置のS/N向上、画質向上を図ることができる。また、転送ゲートの振幅が大きくとれるので、フォトダイオードの飽和信号量を増大し、ダイナミックレンジの拡大を図ることができる。

フォトダイオードから溢れ出た電荷を、転送トランジスタのチャネル部以外のバルク内を通して、基板側、或いは検出側、或いは基板側と検出側へ流すようにすることにより、ブルーミングを十分に抑制することが可能になる。ダイナミックレンジとの両立も可能になる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の固体撮像装置の一実施の形態を示す構成図である。

##### 【図2】

図1の固体撮像装置の動作説明に供する動作タイミング図である。

##### 【図3】

本発明に適用される一のバッファ回路の例を示す回路図である。

【図 4】

本発明に適用される他のバッファ回路の例を示す回路図である。

【図 5】

本発明に適用される画素を構成するフォトダイオード及び転送トランジスタの構成部分の一実施の形態を示す断面図である。

【図 6】

本発明に適用される画素を構成するフォトダイオード及び転送トランジスタの構成部分の他の実施の形態を示す断面図である。

【図 7】

本発明に適用される画素を構成するフォトダイオード及び転送トランジスタの構成部分の他の実施の形態を示す断面図である。

【図 8】

本発明に適用される画素を構成するフォトダイオード及び転送トランジスタの構成部分の他の実施の形態を示す断面図である。

【図 9】

本発明の説明に供する転送ゲートの負電位と画素の暗電流の関係を示す特性図である。

【図 1 0】

暗電流の発生の説明に供する断面図である。

【図 1 1】

従来の MOS 型固体撮像装置の画素を構成するフォトダイオード及び転送トランジスタの構成部分を示す断面図である。

【符号の説明】

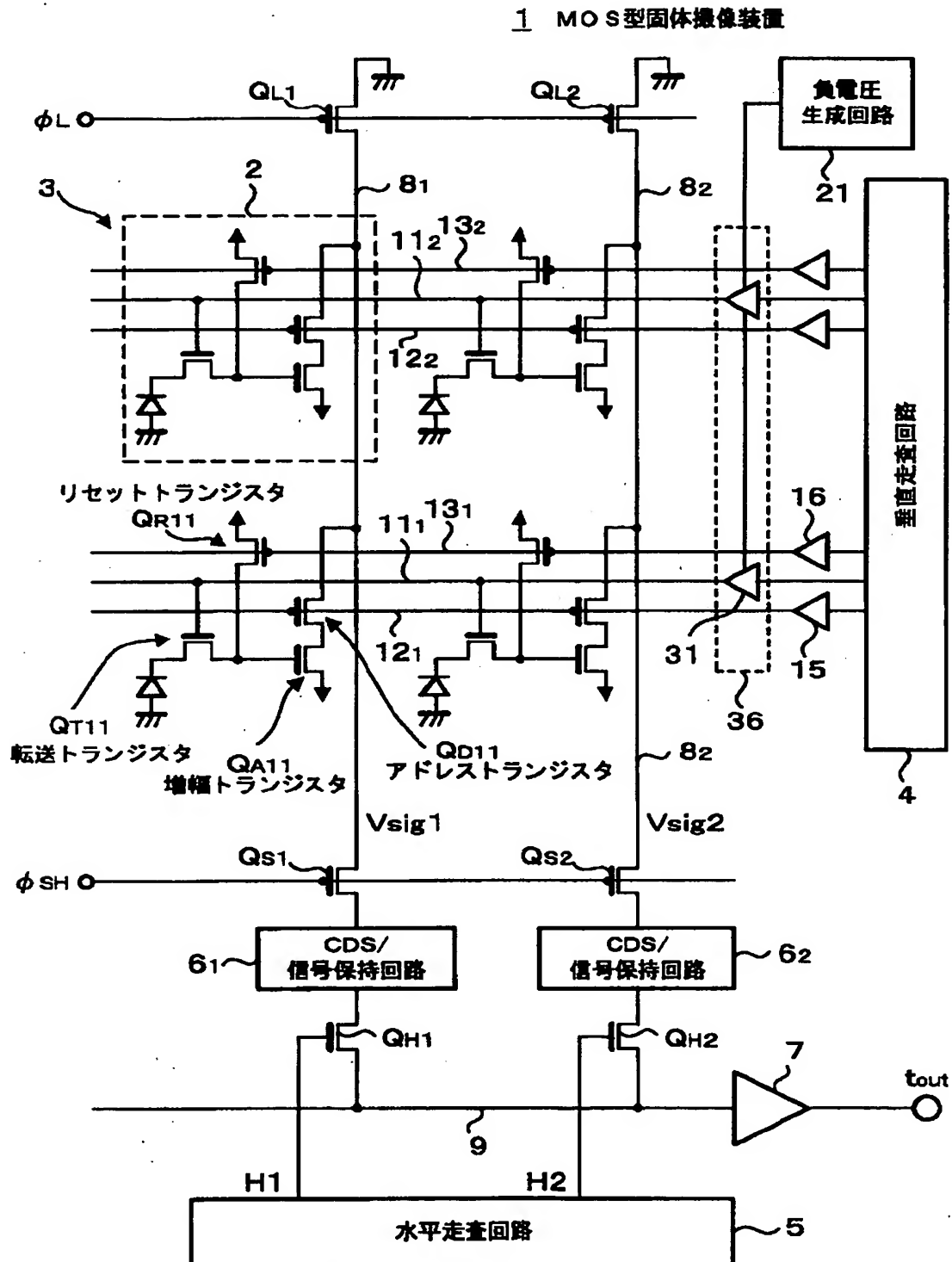
1 . . . 固体撮像装置、 2 . . . 画素、 3 . . . センサ部、 4 . . . 垂直走査回路、 5 . . . 水平走査回路、 6 . . . CDS / 信号保持回路、 2 1 . . . 負電圧生成回路、 PD . . . フォトダイオード、  $Q_T$  . . . 転送トランジスタ、  $Q_A$  . . . 増幅トランジスタ、  $Q_D$  . . . アドレストランジスタ、  $Q_R$  . . . リセットトランジスタ、  $Q_L$  . . . 負荷トランジスタ、  $Q_S$  . . . スイッチ素子、  $Q_H$  . . . 水平スイッチ素子、 4 1 . . . 半導体基板、 4 2 . . . 半導体ウェル領域



、43・・・素子分離層、44・・・n型半導体領域、45・・・p型半導体領域、46・・・ソース・ドレイン領域（検出部）、47・・・ゲート絶縁層、48・・・ゲート電極、52、54、56・・・半導体領域（オーバーフローパス）

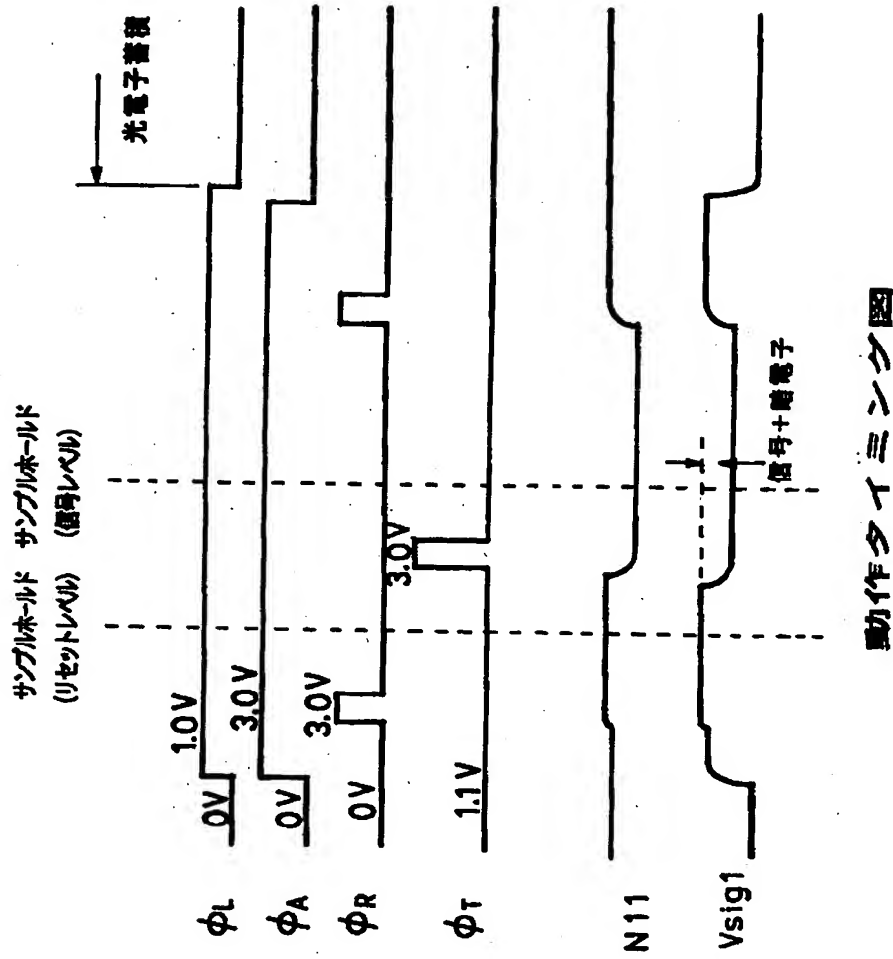
【書類名】 図面

【図 1】

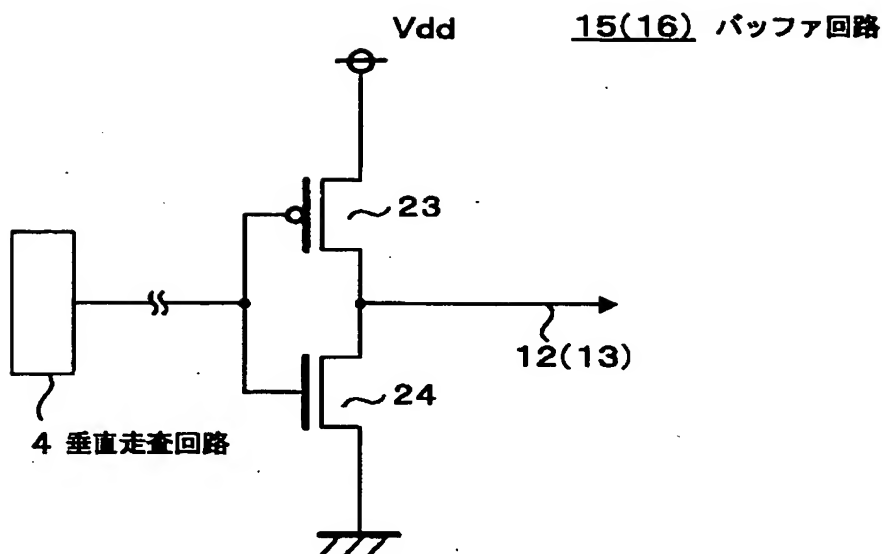


本実施の形態の構成図

【図2】

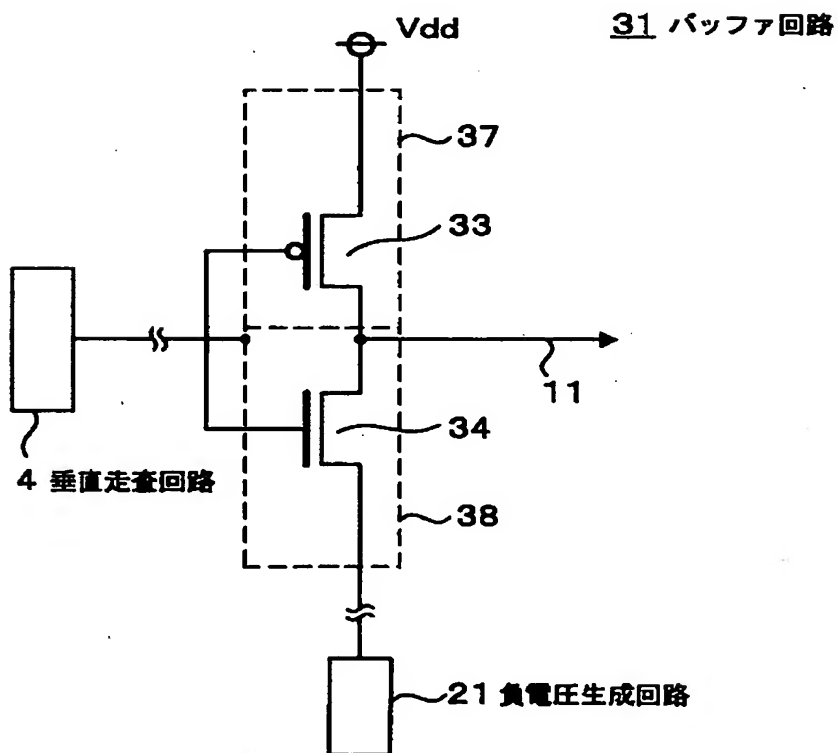


【図 3】



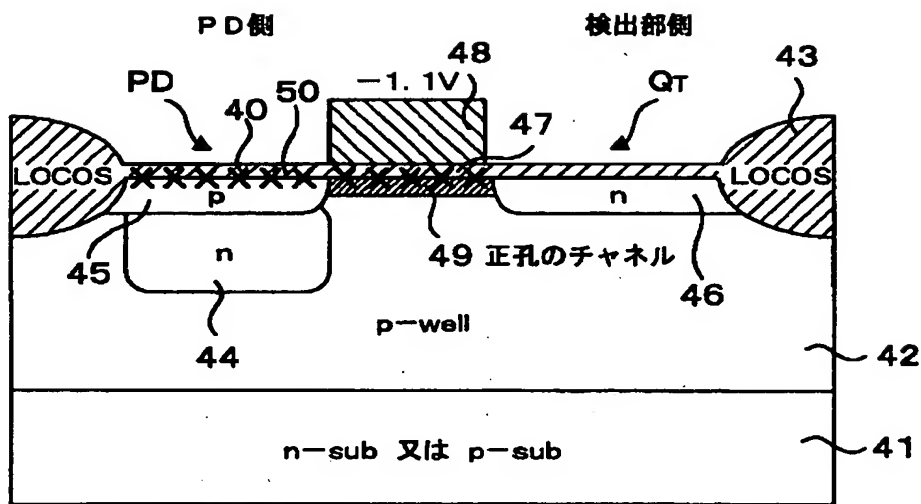
バッファ回路 (15, 16) の一例

【図 4】



バッファ回路 (31) の一例

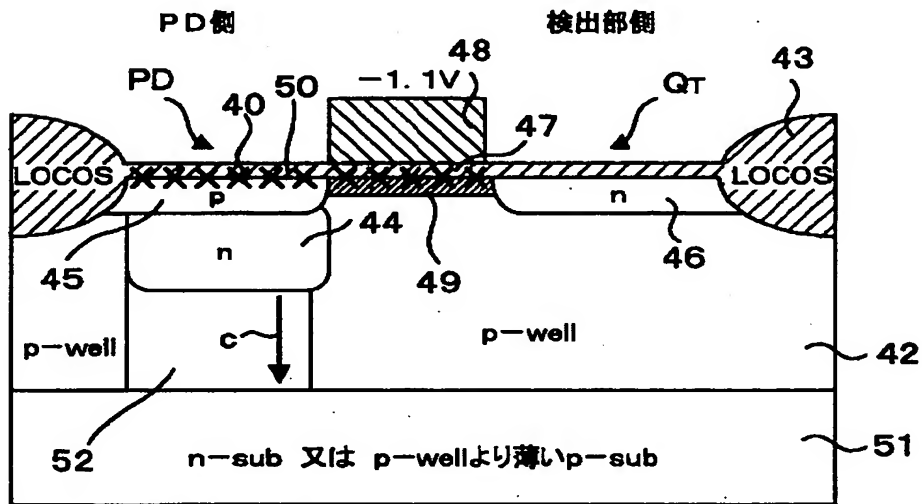
【図 5】



X : 界面の欠陥

第 1 実施の形態のフォトダイオードと  
転送トランジスタの構成部分の断面図

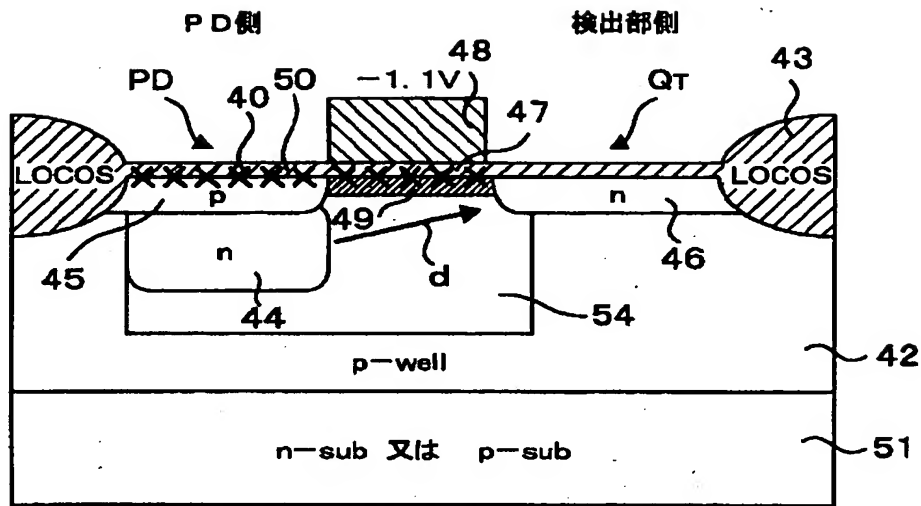
【図 6】



X : 界面の欠陥

第 2 実施の形態のフォトダイオードと  
転送トランジスタの構成部分の断面図

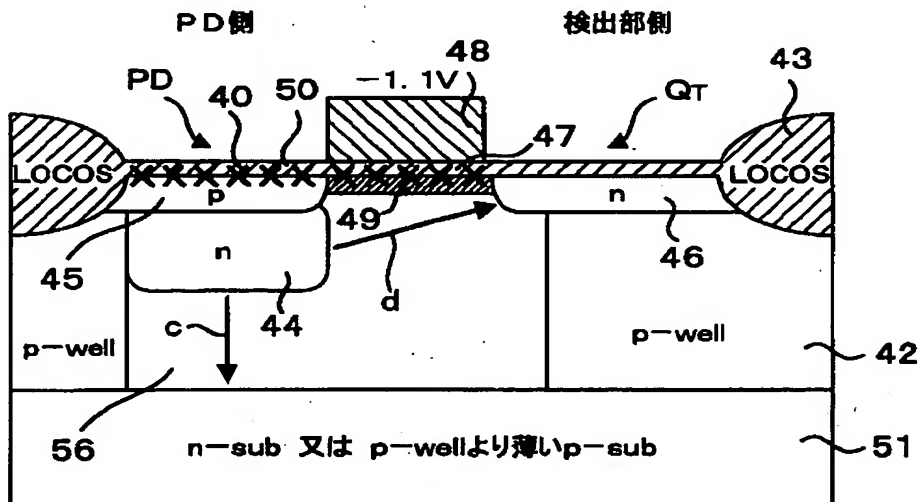
【図7】



X : 界面の欠陥

第3実施の形態のフォトダイオードと  
転送トランジスタの構成部分の断面図

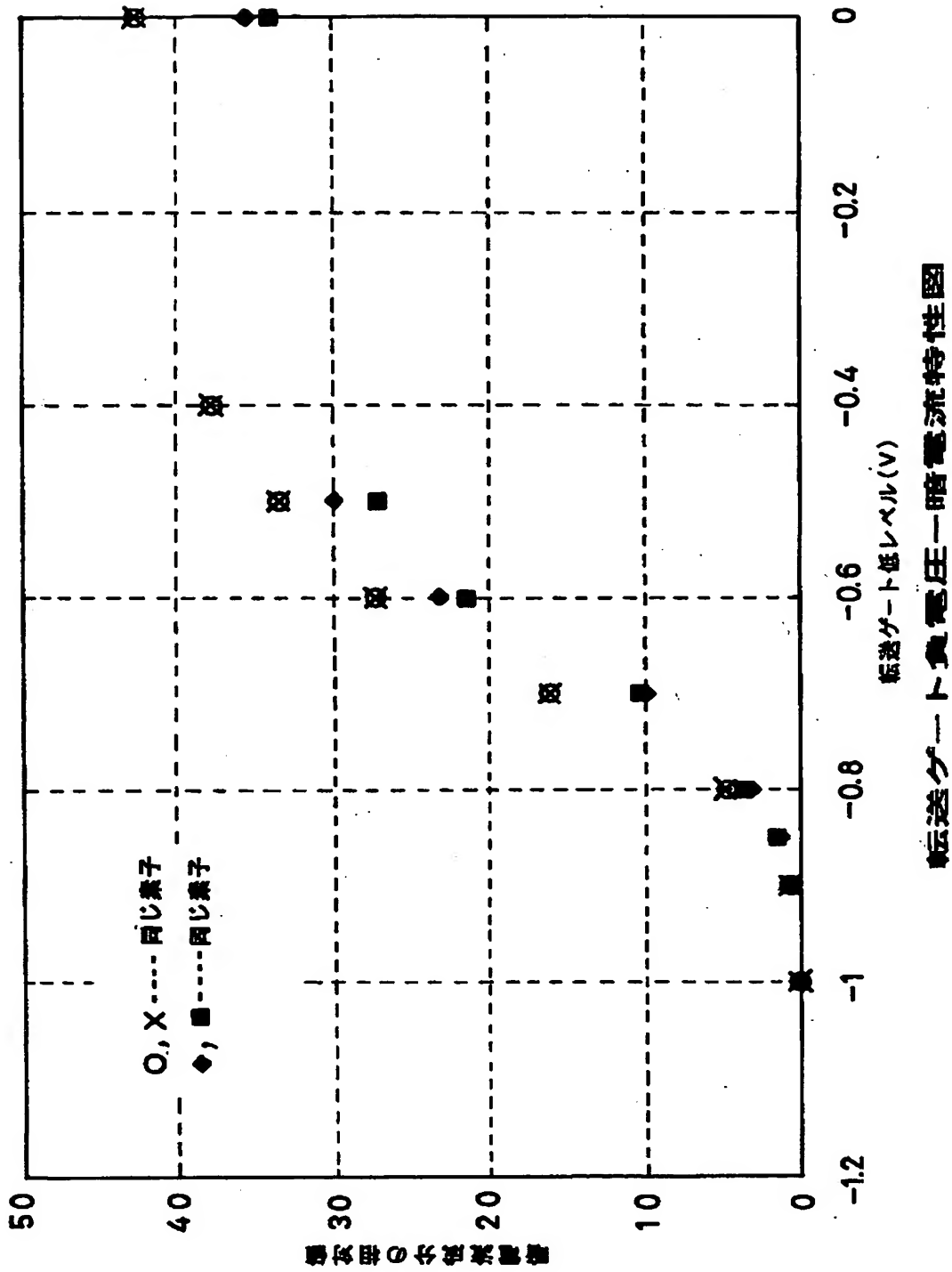
【図8】



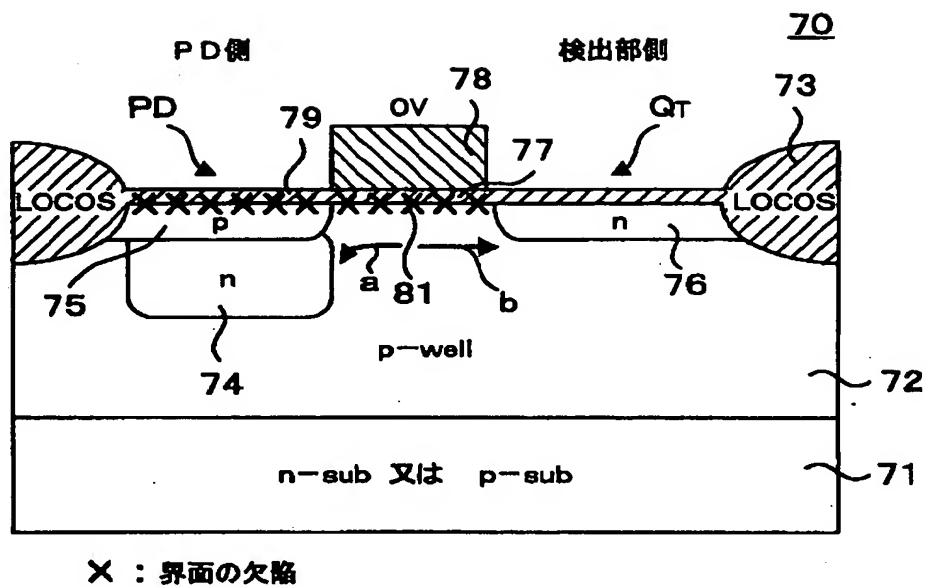
X : 界面の欠陥

第4実施の形態のフォトダイオードと  
転送トランジスタの構成部分の断面図

【図 9】

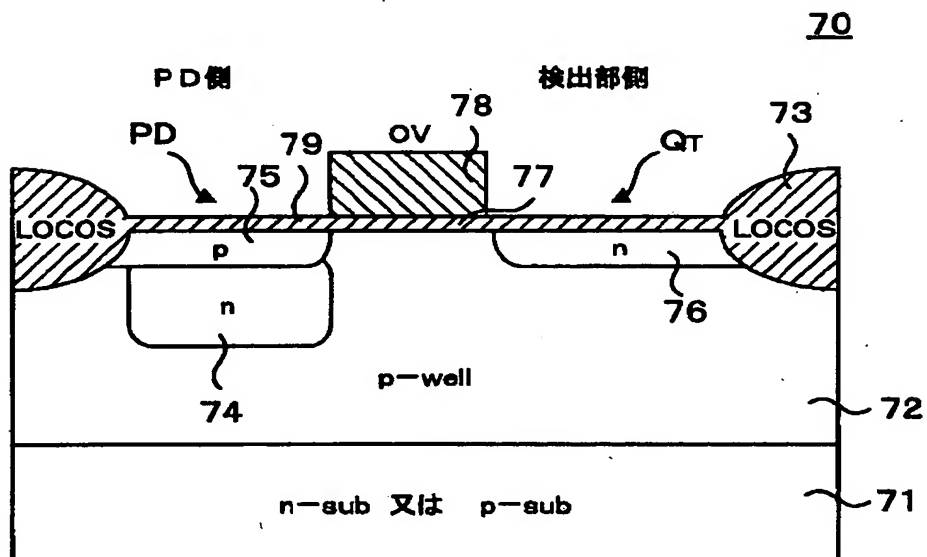


【図 10】



### 暗電流の装置の説明図

【图 1 1】



## 従来の例の断面図



【書類名】 要約書

【要約】

【課題】 MOS型固体撮像装置の暗電流の低減を図る。

【解決手段】 フォトダイオードPDと、検出部Nと、フォトダイオードPDに蓄積された電荷を検出部Nに転送する転送トランジスタ $Q_T$  とを備えた画素2を有し、フォトダイオードPDに電荷を蓄積するときの転送トランジスタ $Q_T$  のゲート電圧を負電圧とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社



Creation date: 04-02-2004  
Indexing Officer: JPHAM - JERRY PHAM  
Team: OIPEBackFileIndexing  
Dossier: 10046402

Legal Date: 02-08-2002

No.	Doccode	Number of pages
1	CTMS	1

Total number of pages: 1

Remarks:

Order of re-scan issued on .....